

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07336727 A**(43) Date of publication of application: **22.12.95**

(51) Int. Cl

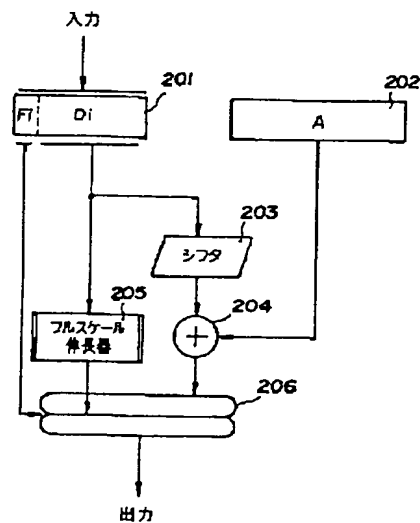
H04N 11/04**G06T 9/00****G06T 5/00****H03M 7/28****H03M 7/30****H04N 7/24**(21) Application number: **06125381**(71) Applicant: **SHARP CORP**(22) Date of filing: **07.06.94**(72) Inventor: **YAMAMOTO SHINJI****(54) DATA COMPANDING METHOD AND DATA CONVERTER**

(57) Abstract:

PURPOSE: To express data delicately without increasing a memory capacity by setting a different flag to data within a prescribed range, data at the outside of the range and required compression data and expanding the compressed data based on the flag.

CONSTITUTION: For example, data such as digital image data within a prescribed level range are compressed by a 1st quantization width being a prescribed quantization range from its base level up to the data level and a flag F_i of logical 1 is set to the compressed data D_i . On the other hand, data at the outside of a range with a wide dynamic range are compared by a quantization range larger than the 1st quantization width and a flag F_i of logical 0 is set to the compressed data D_i . Thus, expanded data being the sum of an output of a base band register 202 and the data D_i via a shifter 203 are selectively outputted. Thus, a video memory of a large capacity is not required and delicate color expression or the like is conducted.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-336727

(43) 公開日 平成7年(1995)12月22日

(51) IntCl.⁴

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 N 11/04

Z 9185-5C

G 0 6 T 9/00

5/00

G 0 6 F 15/ 66

3 3 0 B

15/ 68

3 1 0 J

審査請求 未請求 請求項の数3 O L (全 8 頁) 最終頁に続く

(21) 出願番号

特願平6-125381

(22) 出願日

平成6年(1994)6月7日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 山本 真司

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

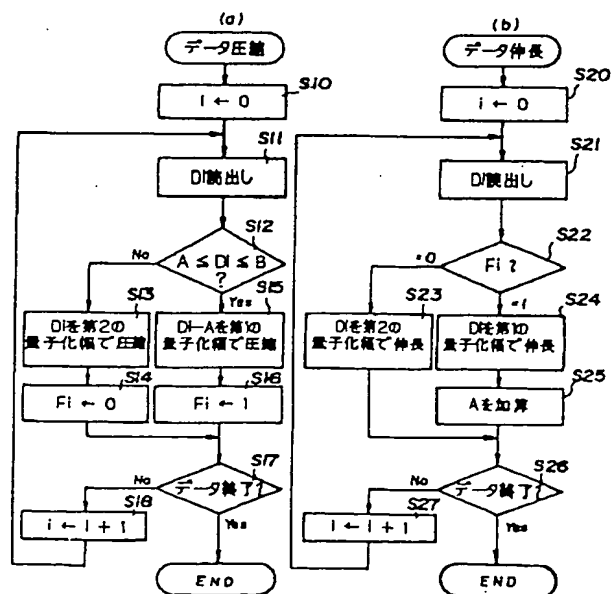
(74) 代理人 弁理士 藤本 博光

(54) 【発明の名称】 データ圧縮伸長方法及びデータ変換装置

(57) 【要約】

【目的】 データメモリの容量を増大させることなくデータ表現の緻密さを向上させるデータ圧縮伸長方法およびデータ変換装置を提供する。

【構成】 デジタルデータ毎に変換制御フラグを付与してデータ圧縮／伸長するデータ圧縮／伸長方法である。一定範囲内のデータについては、変換制御フラグを第1の値に設定するとともに基底値から該データまでの値を第1の量子化幅で量子化した値を該データの値とするデータ圧縮を行い、前記一定範囲内に入らないデータについては、変換制御フラグを第2の値に設定するとともに該データの値を第2の量子化幅で量子化した値を該データの値とするデータ圧縮を行う。データの伸長時には、変換制御フラグの値を参照して、第1の量子化幅で表された値と基底値との加算値、または第2の量子化幅で表された値の何れかを選択する。



【特許請求の範囲】

【請求項 1】 デジタルデータ毎に変換制御フラグを付与してデータ圧縮するデータ圧縮方法であって、一定範囲内のデータ値を有するデータについては、変換制御フラグを第 1 の値に設定するとともに基底値から該データまでの値を第 1 の量子化幅で量子化した値を該データの値とするデータ圧縮を行い、前記一定範囲内に入らないデータ値を有するデータについては、変換制御フラグを第 2 の値に設定するとともに該データの値を第 2 の量子化幅で量子化した値を該データの値とするデータ圧縮を行うことを特徴とするデータ圧縮方法。

【請求項 2】 デジタルデータ毎に付与された変換制御フラグを参照して圧縮データを伸長するデータ伸長方法であって、データの变換制御フラグが第 1 の値を示しているとき、該データが第 1 の量子化幅で表された値と基底値との加算値としてデータ伸長を行い、データの变換制御フラグが第 2 の値を示しているとき、該データが第 2 の量子化幅で表された値を示しているものとしてデータ伸長を行うことを特徴とするデータ伸長方法。

【請求項 3】 請求項 2 記載のデータ伸長方法を用いるデータ変換装置であって、基底値を保持する基底値保持手段と、入力データをフルスケールのデータに伸長するフルスケール伸長器と、入力データをシフトするシフト手段と、シフトされたデータと基底値とを加算する加算手段と、前記変換制御フラグが第 1 の値であるとき、入力データをシフトした値と前記基底値とを加算した値をデータ変換値とし、前記変換制御フラグが第 2 の値であるとき、入力データをフルスケール伸長器で伸長した値をデータ変換値とする制御手段と、を備えたことを特徴とするデータ変換装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、データの圧縮／伸長方法に係り、特に、カラードット表示される多値画像データの圧縮伸長に好適なデータ圧縮／伸長方法に関する。

【0002】

【発明の概要】 本発明のデジタルデータの圧縮／伸長方法は、各画素に対応するデジタルデータに圧縮方法を示す変換制御フラグを付与することにより、複数の異なる圧縮モードの内から 2 つの圧縮モードを区別することを可能とし、このフラグを参照してデータ伸長モードを切り替えてデータを復元するものである。このフラグにより識別されるデータ圧縮モードには、任意の基底値から圧縮前データまでの値を適当な量子化幅で量子化する第 1 のモードと、データのダイナミックレンジを重視

して、量子化幅を大きく取り、データとして使用可能なビット数で最小値から最大値までを表現可能な第 2 のモードとがある。

【0003】 以上の 2 つのモードをフラグによって判別することにより、データ毎にダイナミックレンジと量子化幅とのトレードオフができる。すなわち、データ変動の少ない領域では、第 1 のモードでデータ圧縮することにより、きめ細かい量子化幅を使用することができ、データ伸長時に量子化ノイズの少ないデータが再現され、データ変動の大きい領域では、第 2 のモードでデータ圧縮してダイナミックレンジを確保することができる。

【0004】

【従来の技術】 一般に、画像表示装置に緻密な色表現を行うためには、1 画素の持つ情報量を増やすことにより、表示色の階調をきめ細かくすることが行われている。例えば、1 画素当たりの情報容量を 24 ビットにすることにより、1600 万色を同時に発色可能とさせる方法がある。

【0005】 また従来より、画像データの色指定方法としては、カラーパレット（カラー・ルックアップ・テーブルとも呼ばれる）を使用した間接色指定法が知られている。カラーパレットとは、画像表示装置で表現可能な色（例えば、1600 万色）の中から予め使用する複数色（例えば、256 色）を定め、この定められた各色について、コードを付与したものである。カラーパレットを使用すると、少ないビット数でダイナミックレンジの広い色表示が可能となり、上記の例では、8 ビットのパレットコードから、画像表示装置に対する 24 ビットの色制御信号が発生される。

【0006】

【発明が解決しようとする課題】 しかしながら、色表現の緻密さの向上のために 1 画素当たりの情報容量を増やす方法は、画像メモリの容量増大となり、画像メモリの物理的実装寸法増大のみならず、画像メモリのアクセス速度及び情報転送速度の低下を招くこととなり、この点から 1 ライン当たりの画素数低下、すなわち画質の低下となって色表現の緻密さとは両立しないという問題点があった。

【0007】 また従来のカラーパレットを使用する方法では、1 画素の情報量が 8 ビットの場合、カラーパレットが必要とする記憶容量は 768 バイトであるが、さらにきめ細かい表示色の階調を得るために 1 画素の情報量を 16 ビットとすると、カラーパレットが必要とする記憶容量は 192 キロバイトに増大する。そして、このような画像出力速度に追従して動作すべきカラーパレットが大容量となると、その物理的寸法が大きくなり、消費電力、発熱量、配線遅延時間が増大し実装が難しくなるとともに、製造原価が膨大なものとなり、小型の情報処理システムにおいては実現が困難であるという問題点があった。

【0008】以上の問題点に鑑み、本発明の課題は、画像メモリの容量を増大させることなく色表現の緻密さを向上させるデータ圧縮伸長方法およびデータ変換装置を提供することである。

【0009】

【課題を解決するための手段】上記課題を解決するため、本発明は次の構成を有する。すなわち、請求項1記載の本発明は、デジタルデータ毎に変換制御フラグを付与してデータ圧縮するデータ圧縮方法であって、一定範囲内のデータ値を有するデータについては、変換制御フラグを第1の値に設定するとともに基底値から該データまでの値を第1の量子化幅で量子化した値を該データの値とするデータ圧縮を行い、前記一定範囲内に入らないデータ値を有するデータについては、変換制御フラグを第2の値に設定するとともに該データの値を第2の量子化幅で量子化した値を該データの値とするデータ圧縮を行うことを特徴とするデータ圧縮方法である。

【0010】また、請求項2記載の本発明は、デジタルデータ毎に付与された変換制御フラグを参照して圧縮データを伸長するデータ伸長方法であって、データの変換制御フラグが第1の値を示しているとき、該データが第1の量子化幅で表された値と基底値との加算値としてデータ伸長を行い、データの変換制御フラグが第2の値を示しているとき、該データが第2の量子化幅で表された値を示しているものとしてデータ伸長を行うことを特徴とするデータ伸長方法である。

【0011】さらに、請求項3記載の本発明は、請求項2記載のデータ伸長方法を用いるデータ変換装置であって、基底値を保持する基底値保持手段と、入力データをフルスケールのデータに伸長するフルスケール伸長器と、入力データをシフトするシフト手段と、シフトされたデータと基底値とを加算する加算手段と、前記変換制御フラグが第1の値であるとき、入力データをシフトした値と前記基底値とを加算した値をデータ変換値とし、前記変換制御フラグが第2の値であるとき、入力データをフルスケール伸長器で伸長した値をデータ変換値とする制御手段と、を備えたことを特徴とするデータ変換装置である。

【0012】

【作用】本発明は上記構成により、デジタルデータの圧縮伸長において、大きいダイナミックレンジと小さい量子化幅とを両立させるものである。すなわち、本発明のデジタルデータの圧縮／伸長方法は、各画素に対応するデジタルデータに圧縮方法を示す変換制御フラグを付与することにより、複数の異なる圧縮モードの内から2つの圧縮モードを区別することを可能とし、この変換制御フラグを参照してデータ伸長モードを切り替えてデータを復元するものである。

【0013】上記圧縮モードの一方は、データ変動の少ない領域に適用され、任意に設定された基底値から圧縮

前データまでの相対値を比較的小さい第1の量子化幅を用いてコード化する。圧縮モードの他方は、データ変動の大きい領域に適用され、フルスケールのダイナミックレンジを利用可能な第2の量子化幅を用いてコード化する。

【0014】そして、データ伸長時には、各データに付加された変換制御フラグによってモードを判別することにより、データ毎に伸長モードを切り替える。すなわち、変換制御フラグが第1の値を示していれば、該データが第1の量子化幅で表された値と基底値との加算値としてデータ伸長を行い、変換制御フラグが第2の値を示しているとき、該データが第2の量子化幅で表された値を示しているものとしてデータ伸長を行う。

【0015】また請求項3記載の本発明のデータ変換装置においては、入力データをシフトして第1の量子化幅で伸長し、この値に加算器で基底値を加算して第1の中間結果を得るとともに、入力データをフルスケール伸長器により第2の量子化幅で伸長して第2の中間結果を得る。そして、第1の中間結果と第2の中間結果との何れか一方を選択するセレクタを変換制御フラグによって制御することにより、目的のデータ伸長結果が得られる。

【0016】

【実施例】次に、図面を参照して本発明の実施例を詳細に説明する。図1(a)は、本発明に係るデータ圧縮方法の実施例の処理手順を示すフローチャートであり、請求項1に対応する。同図において、 i はデータの番号、 D_i は圧縮前のデータ、 A は第1の量子化幅で圧縮可能なデータの下限を示す基底値、 B は第1の量子化幅で圧縮可能なデータの上限、 F_i は D_i に付与された変換制御フラグ（以下、フラグと略す）をそれぞれ示すものとする。

【0017】図1(a)において、データの圧縮は以下のように行われる。まずデータ番号 i がクリアされる（ステップS10）。次いで、 D_i が読み出され（ステップS11）、 D_i が第1の量子化幅で量子化される範囲（ $A \leq D_i \leq B$ ）に入るかどうか調べられる（ステップS12）。第1の量子化幅で量子化される下限（ A ）は、予め任意に選ぶことができる。ステップS12の判定でNoであれば、 D_i を第2の量子化幅で圧縮し（ステップS13）、フラグ F_i に0を設定する（ステップS14）。

【0018】ステップS12の判定でYesであれば、 $D_i - A$ を第1の量子化幅で圧縮し（ステップS15）、フラグ F_i に1を設定する（ステップS16）。ステップS14またはステップS16でフラグが設定された後、データ終了か否かが判定される（ステップS17）。データ終了でなければ、 i を1だけ増加して（ステップS18）ステップS11へ戻る。データ終了であれば、処理を終了する。

【0019】図1(b)は、本発明に係るデータ伸長方

法の実施例の処理手順を示すフローチャートであり、請求項2に対応する。同図において、 i はデータの番号、 D_i は伸長前のデータ、 A は第1の量子化幅で圧縮可能なデータの下限を示す基底値、 F_i は D_i に付与されたフラグをそれぞれ示すものとする。

【0020】図1(b)において、データの伸長は以下のように行われる。まずデータ番号 i がクリアされる(ステップS20)。次いで、 D_i が読み出され(ステップS21)、 D_i に伴うフラグ F_i の値が調べられる(ステップS22)。フラグの値が0であれば、 D_i を第2の量子化幅で伸長する(ステップS23)。

【0021】フラグの値が1であれば、 D_i を第1の量子化幅で伸長し(ステップS24)、伸長した値に A を加算する(ステップS25)。次いで、データ終了か否かが判定される(ステップS26)。データ終了でなければ、 i を1だけ増加して(ステップS27)ステップS21へ戻る。データ終了であれば、処理を終了する。

【0022】図1に示した本発明のデータ圧縮/伸長方法において、一般に、第1の量子化幅には、ある限られたデータ範囲内を緻密に表現するため、小さい量子化幅が用いられ、第2の量子化幅には、データのダイナミックレンジを重視して、フルスケールを表現可能なように大きい量子化幅が用いられる。図1において、データ圧縮伸長方法をフローチャート形式で説明したが、本発明のデータ圧縮伸長方法は、汎用情報処理装置のプログラムで実現されてもよいし、専用ハードウェアによって高速の処理が行われてもよい。専用ハードウェアの設計に際しては、当業者に周知のパイプライン技術、並列処理技術等を使用して、複数のデータ要素を同時並列的に処理することも可能である。

【0023】図2は、本発明に係るデータ変換装置の第1実施例の構成を示すブロック図であって、請求項3に対応する。図2において、201は入力データ及び変換制御フラグを一時保持する入力データレジスタ、202は基底値保持手段である基底値レジスタ、203はシフト手段であるシフタ、204は加算器、205はフルスケール伸長器、206はフラグの値に従ってデータ変換値を切り換える制御手段である2ウェイセクタをそれぞれ示す。

【0024】図3は、本実施例の入力データのビット配置を示すものである。図3に示すように、入力データは、フラグ部(F_i) 1ビット及びデータ部(D_i) 5ビットの計6ビットからなる。この6ビットの入力データが本実施例のデータ変換装置により、8ビット(256階調)のデータに変換される。

【0025】次に、図2に示したデータ変換装置の動作を説明する。まず、6ビットの入力データが入力データレジスタ201にセットされる。6ビットの内、下位5ビットである D_i は、シフタ203及びフルスケール伸長器205に送られる。シフタ203は、 D_i をスルー

または所定の桁数だけ左シフトして加算器204へ出力する。一方、基底値レジスタ202に保持された基底値(A) も加算器204へ出力される。加算器204は、シフタ203の出力と、基底値レジスタ202の出力とを加算し、2ウェイセクタ206の一方の入力へ送る。

【0026】フルスケール伸長器205は、入力データレジスタ201から与えられた5ビットのデータを8ビットデータ(フルスケール: 0~255)に伸長し、2ウェイセクタ206の他方の入力へ送る。入力データレジスタ201の最上位ビットには、フラグ(F_i) が保持されていて、このビットは2ウェイセクタ206の切換信号に接続されている。これにより、フラグが“1”のときには、2ウェイセクタ206は D_i をシフトした値に A を加算した値を出力し、フラグが“0”のときには、2ウェイセクタ206は D_i をフルスケール伸長した値を出力する。

【0027】次に示す表1は、フルスケール伸長器205による5ビットデータから8ビットデータへの伸長の例を示すが、これは本発明を限定するものではない。

【表1】

入力	出力	入力	出力
0	0	16	132
1	8	17	140
2	16	18	148
3	24	19	156
4	33	20	165
5	41	21	173
6	49	22	181
7	57	23	189
8	66	24	198
9	74	25	206
10	82	26	214
11	90	27	222
12	99	28	231
13	107	29	239
14	115	30	247
15	123	31	255

【0028】図4は、本発明に係るデータ変換装置の第2実施例の構成を示すブロック図である。本第2実施例は、16ビットの画像データを24ビットの画像データに伸長するデータ変換装置である。このデータ変換装置は、RGBの成分毎に各8ビット、計24ビットのカラー制御情報を有するカラーモニターを制御する情報を伸長する例を示すものであり、その全体の構成図を図5に

示す。

【0029】また図6は、伸長前の16ビットの画像データのビット配置を示す。図6に示すように、15ビット目がデータ伸長を制御するフラグとして使用され、フラグの値が“0”のときは、フルスケールのデータ伸長が行われ、フラグの値が“1”のときは、フルスケールのデータ伸長より小さい階調でデータ伸長されるとともに基底値が加算される。この基底値はRGB各色で異なる値を設定することができる。また、14ビット目から10ビット目までは赤色の圧縮データ、9ビット目から5ビット目までは緑色の圧縮データ、4ビット目から0ビット目までは青色の圧縮データとなっている。

【0030】図4において、RGBの3色のデータを処理する回路はそれぞれ等しい構成となっており、代表して赤色データを処理する回路400Rを説明する。5ビットの赤色データ入力401Rは、 $\times 1$ 回路402R、 $\times 2$ 回路403R、 $\times 4$ 回路404R、 $\times 8$ 回路405R、及びフルスケール変換回路406Rに分配されている。 $\times 1$ 回路402Rは、上位3ビットに“0”を補って5ビットで表された入力値をそのまま8ビットで表された出力値とする回路である。 $\times 2$ 回路403R、 $\times 4$ 回路404R、 $\times 8$ 回路405Rはそれぞれ左に1、2、3ビットシフトした数値を出力する回路である。フルスケール変換回路406Rは、入力の5ビットのデータを第1実施例と同じ表1による8ビットのフルスケールデータ(0~255)に変換する回路である。

【0031】5ウェイセレクト407Rは、 $\times 1$ 回路402R、 $\times 2$ 回路403R、 $\times 4$ 回路404R、 $\times 8$ 回路405R、及びフルスケール変換回路406Rからそれぞれ出力される8ビットデータから1つのデータを選択して加算器410Rへ出力する。赤基底値レジスタ408Rは、データ変換を実行する前に予め基底値が設定されるレジスタであり、2ウェイセレクト409Rにより“0”または赤基底値レジスタ408Rの何れかが選択されて、加算器410Rへ出力される。

【0032】加算器410Rは、5ウェイセレクト407Rの出力と2ウェイセレクト409Rの出力とを加算する。この加算結果は、8ビットのデータとして赤色データ出力411Rより出力される。セレクトデータ入力412はRGBの回路に共通な制御入力であって、3ビットの選択制御情報が入力される。この3ビットの選択制御情報のうち、1ビットは上記データ伸長を制御するフラグであり、2ウェイセレクト409Rの選択制御を行うとともに、5ウェイセレクト407Rがフルスケール変換回路406Rを選択するか否かの制御を行う。他の2ビットは、シフト桁数を制御する情報であり、5ウェイセレクト407Rにおける402R~405Rの選択制御を行う。

【0033】次に、図4のブロック図について、赤色データの流れに従ってその動作を説明する。まず、16ビ

ットのデータの最上位ビットであるフラグが“0”である場合は、5ビットの赤色入力データに対して、表1の対応に従って、8ビットのフルスケール(0~255)に等間隔にデータを伸長する。このため、5ウェイセレクト407Rは、フルスケール変換回路406Rを選択するとともに、2ウェイセレクト409Rは“0”を選択する。そして、加算回路410Rにより、フルスケール変換後のデータと“0”とが加算され、赤色データ出力411Rからはフルスケール変換後の8ビットデータが出力される。

【0034】次に、16ビットのデータの最上位ビットであるフラグが“1”である場合は、5ビットの赤色入力データに対して、0~3桁の左シフトが行われる。このため、5ウェイセレクト407Rは、412のシフト桁数制御ビットに従って、402R~405Rを選択する。2ウェイセレクト409Rは赤基底値レジスタ408Rを選択する。そして、加算回路410Rにより、シフト後のデータと赤基底値とが加算され、赤色データ出力411Rからは8ビットデータが出力される。

【0035】412のシフト桁選択は、量子化幅選択に他ならず、0桁シフト、1桁シフト、2桁シフト、3桁シフトは、それぞれ量子化幅が、 $1/255$ 、 $2/255$ 、 $4/255$ 、 $8/255$ であることに相当する。そして加算器410Rが加算する赤基底値は、その量子化幅でデータを再現する際のオフセットとなるものである。

【0036】例えば、オフセット値が100で、量子化幅が $2/255$ の場合は、赤の指定可能な範囲は、 $100/255$ のレベルから $162/255$ のレベルまでの範囲である。そして、このときの量子化幅、すなわち変化の1段階分は、 $2/255$ ピッチとなり、通常の $1/31$ に比べて約4倍の緻密さで表現可能となる。

【0037】以上、図4の赤色データ処理部400Rについて説明したが、同様の処理が緑色データ処理部400G及び青色データ処理部400Bにおいても同時並行的に実行され、RGBの3原色によりフルカラーの画像データ処理が行われることは、言うまでもない。

【0038】図7は、図4に示した402R、403R、404R、405R、407Rの詳細な構成例を示す回路図である。図7において、5ビットの入力データはD0~D4、8ビットの出力データはQ0~Q7、フラグはF、シフト桁数制御信号は、S0、S1で示されている。また、図7において、701はインバータ、702はデコーダ、703~705及び714はアンドゲート、706はオアゲート、707~713はアンドオアゲートをそれぞれ示す。

【0039】シフト桁数制御信号S0、S1は、デコーダ702でデコードされ、それぞれ、0桁シフト($\times 1$)、1桁シフト($\times 2$)、2桁シフト($\times 4$)、3桁シフト($\times 8$)を制御する信号、720、721、72

2、723が出力される。フラグ信号Fは、インバータ701及びオアゲート706に分配されている。インバータ701の出力は、フラグが“0”のとき、ゲート703～705を開き、デコード信号720～722を通過させる。また、フラグが“1”のときおよびS0、S1が共に“1”のとき、オアゲート706の出力が“1”となる。

【0040】そして、データD0～D4、インバータ701の出力、アンドゲート703～705の出力及びオアゲート706の出力は、アンドオアゲート707～713及びアンドゲート714に接続されている。以上の構成により、図4に示されたシフト回路402R～405R、フルスケール変換回路406R及び5ウェイセクタ407Rが実行するシフト、データ変換及び選択の動作が一括して行われる。

【0041】

【発明の効果】以上説明したように請求項1記載の本発明によれば、任意に定められた範囲のデータについて、その他のデータより量子化幅の小さい緻密なデータ圧縮を行うことができ、データメモリの節約が行えとともに、緻密なデータ表現が行えるという効果がある。また、請求項2記載の本発明によれば、データに付加された変換制御フラグを参照することにより、任意に定められた範囲のデータについて、その他のデータより小さい量子化幅でデータを伸長することができ、データメモリの節約が行えとともに、緻密なデータ表現が行えるという効果がある。

【0042】また、請求項3記載の本発明によれば、データメモリを節約できるとともに、任意に定められた範囲のデータについて、きめ細かいデータ伸長を行えるという効果がある。特に、請求項3記載の本発明に係るデータ変換装置を画像表示装置のVRAMとD/Aコンバータとの間に設置すれば、画像を構成する各ドットの表示データが、圧縮された状態でVRAMに格納することができるので、VRAM等の画像データ格納メモリの容量が少なくすむという効果がある。また、VRAMから読み出された表示データが、モニタが表示可能なフルスケールに一樣に伸長されるのではなく、任意に設定された範囲のデータが緻密な階調で再現されるので、例えば、夜景などの全体的に暗い場面などにおいて、1ドット当たりのビット数が16ビット程度のときに目立ちやすいマッハ現象が現れなくなるという効果がある。

【0043】さらに、請求項3記載の本発明によれば、ガンマ補正の行われていない映像に対して、暗い部分に量子化幅の小さいデータ圧縮を行うことと、その他の明

るい部分にフルスケールのデータ圧縮を行うこととを両立させることができるので、ガンマ補正の補助的役割を果たさせることができるという効果がある。

【図面の簡単な説明】

【図1】本発明に係るデータ圧縮伸長方法の実施例を示すフローチャートであり、(a)データ圧縮方法のフローチャート、(b)データ伸長方法のフローチャートである。

【図2】本発明に係るデータ変換装置の第1実施例の構成を示すブロック図である。

【図3】第1実施例における圧縮データのビット配置図である。

【図4】本発明に係るデータ変換装置の第2実施例の構成を示すブロック図である。

【図5】第2実施例のデータ変換装置の応用例を示す全体構成図である。

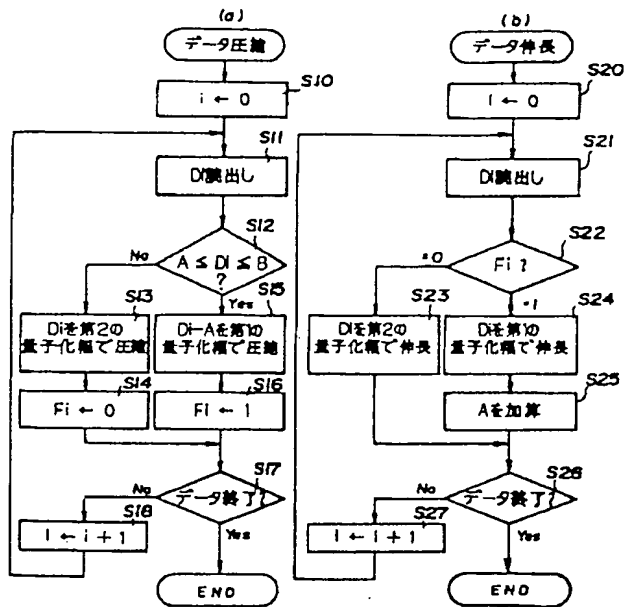
【図6】第2実施例における圧縮データのビット配置図である。

【図7】第2実施例の要部の詳細構成を示す回路図説明図である。

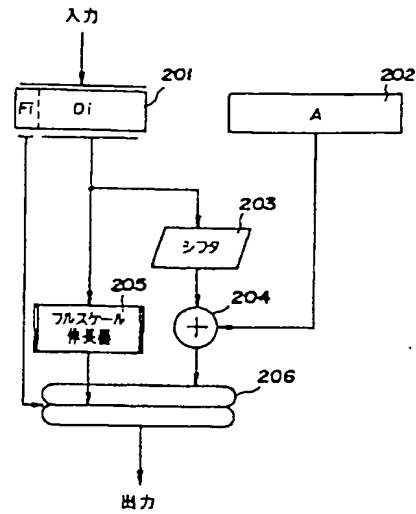
【符号の説明】

- S10 データ番号初期設定ステップ
- S11 データ読み出しステップ
- S12 データ値判定ステップ
- S13 第2の量子化幅によるデータ圧縮ステップ
- S14 変換制御フラグ“0”セットステップ
- S15 基底値からデータまでの値を第1の量子化幅による圧縮ステップ
- S16 変換制御フラグ“1”セットステップ
- S17 データ終了判定ステップ
- S18 データ番号更新ステップ
- S20 データ番号初期設定ステップ
- S21 データ読み出しステップ
- S22 変換制御フラグ値判定ステップ
- S23 第2の量子化幅によるデータ伸長ステップ
- S24 第1の量子化幅によるデータ伸長ステップ
- S25 基底値加算ステップ
- S26 データ終了判定ステップ
- S27 データ番号更新ステップ
- 201 入力データレジスタ
- 202 基底値レジスタ
- 203 シフタ
- 204 加算器
- 205 フルスケール伸長器
- 206 2ウェイセクタ

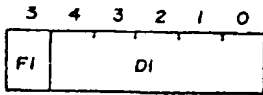
【図 1】



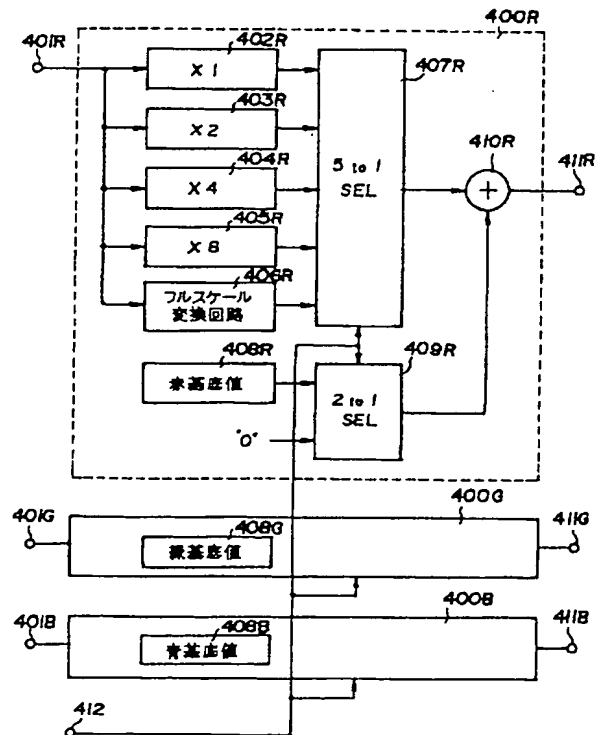
【図 2】



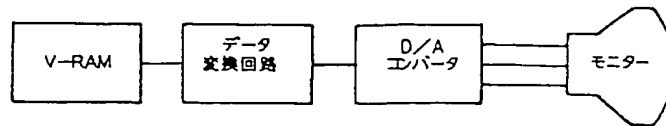
【図 3】



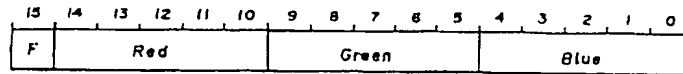
【図 4】



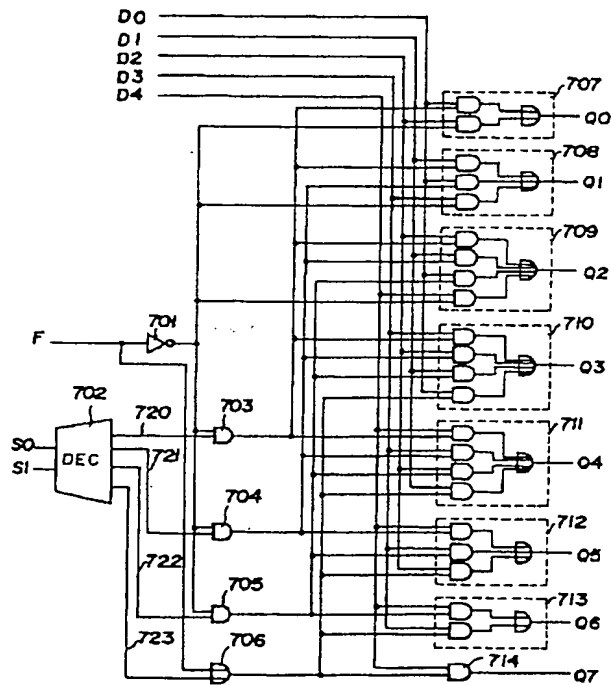
【図 5】



【図 6】



【図 7】



フロントページの続き

(51) Int. Cl. 6

H03M 7/28

7/30

H04N 7/24

識別記号

庁内整理番号

F I

技術表示箇所

0570-5 J

Z 0570-5 J

H04N 7/13

Z